УДК 621.391.82

DOI: 10.30987/conferencearticle_61c997f059dd03.15500573

ПРОЕКТИРОВАНИЕ ЦИФРОВОГО ФИЛЬТРА ВЕРХНИХ ЧАСТОТ С ПОМОЩЬЮ САПР ISE DESIGN SUITE

Константин Павлович Клямеров¹, студент, k.klyamero@yandex.ru

Андрей Александрович Лысенков¹, студент, lysenkovandrew02@yandex.ru

Сергей Александрович Амелин², к.т.н., доцент

¹АО «НПК «Тристан», Россия, Смоленск

²Филиал «НИУ «МЭИ» в г. Смоленске, Россия, Смоленск

Аннотация. Рассмотрены основные особенности среды проектирования «ISE DESIGN SUITE», на примере разработки цифрового фильтра верхних частот, с использованием дополнительного программного обеспечения.

Ключевые слова: ISE DESIGN SUITE, цифровая фильтрация, фильтр верхних частот.

DESIGNING A DIGITAL HIGH-PASS FILTER USING THE CAD ISE DESIGN SUITE

Konstantin P. Klyamero¹, student, k.klyamero@yandex.ru

Andrei Al. Lysenkov¹, student, lysenkovandrew02@yandex.ru

¹NPK Tristan JSC, Russia, Smolensk

Sergey Al. Amelin²

²Smolensk branch of MPEI, candidate of technical sciences, docent, Russia, Smolensk

Abstract. The main features of the "ISE DESIGN SUITE" design environment are considered, using the example of developing a digital high-pass filter using additional software.

Keywords: ISE DESIGN SUITE, digital filtering, high-pass filter.

В такой сфере, как радиоэлектроника очень часто перед инженером стоит задача спроектировать фильтр верхних частот, который обрезает все частоты, меньше порогового значения, что позволяет пользователю получать сигнал в определенном диапазоне частот. Есть два варианта реализации фильтра верхних частот первый вариант, это реализовать на аналоговых компонентах, а второй смоделировать цифровой фильтр. Для большинства устройств подойдет второй вариант, так как он обладает возможностью быстро менять свои характеристики, легко перестраивается, помимо этого цифровой фильтр обладает линейной фаза-частотной характеристикой, что позволяет пользователю добиться постоянной групповой задержки.

В среде программирования ПЛИС «ISE Design Suite» можно подключить ядро, в котором выбираются все необходимые настройки фильтра. В первом окне параметров ядра записываются рассчитанные коэффициенты фильтра в виде .coe файла полученного средствами MATLAB (рис. 1).

Рисунок 1– Окно настройки параметров фильтра в MATLAB

Выбирается тип фильтра (простой, интерполирующий, полифазный или децимирующий), количество коэффициентов, обрабатываемых одновременно, с помощью DSP блоков. После чего выбираются частотные соотношения фильтра, входная частота дискретизации сигнала и частота обработки фильтра, которая по теореме Котельникова должна быть как минимум в 2 раза больше входной частоты дискретизации (рис. 2).

В следующем окне необходимо задать реализуемую архитектуру фильтра, выбрать требуемые параметры для коэффициентов, а также выбрать параметры входных и выходных данных (рис. 3).

На третьей странице настроек (рис. 4) фильтра можно выбрать необходимые операционные возможности фильтра, например, синхронных сброс или включить канал ND – «New data», который будет определять поступление данных на вход фильтра.

Канал CE – «Clock Enable», сигнал разрешения тактирования фильтра, когда на нем низкий уровень приостанавливается любая обработка внутри фильтра, в независимости от того, поступают новые данные или нет.

Канал «DATA_VALID» – обозначает сигнал валидности выходных данных. Данная опция может использоваться только если фильтр включен в многоканальный режим.

FIR Compiler

xlirnx.com:ip:fir_compiler:5.0

Component Name

fir_compiler1

Filter Coefficients

Select Source :

COE File

Coefficient Vector :

6,0,-4,-3,5,6,-6,-13,7,44,64,44,7,-13,-6,6,5,-3,-4,0,6

Coefficients File :

D:\ysenkov\projects_plis\diplom\plis\kix_filter1_version!

Browse...

Show...

Number of Coefficient Sets :

1

Range: 1..256

Number of Coefficients (per set) :

85

Filter Specification

Filter Type :

Single Rate

Rate Change Type :

Integer

Interpolation Rate Value :

1

Range: 1..1

Decimation Rate Value :

1

Range: 1..1

Zero Pack Factor :

1

Range: 1..1

Number of Channels :

1

Range: 1..64

Hardware Oversampling Specification

Select format :

Frequency Specification

Input Sampling Frequency :

50

Range: 0.000001..300.0

MHz

Clock Frequency :

150

Range: 50.0..300.0

MHz

Input Sample Period :

1

Range: 1..10000000

Clock cycles

Datasheet

< Back

Page 1 of 4

Next >

Generate

Cancel

Help

Рисунок 2 – Окно настройки параметров фильтра стр.1

FIR Compiler

xlirnx.com:ip:fir_compiler:5.0

Filter Architecture :

Systolic Multiply Accumulate

Coefficient Options

☐ Use Reloadable Coefficients

Coefficient Structure :

Inferred

Coefficient Type :

Signed

Quantization :

Integer Coefficients

Coefficient Width :

18

Range: 2..35

☐ Best Precision Fraction Length

Coefficient Fractional Bits :

0

Range: 0..0

Datapath Options

Number of Paths :

1

Range: 1..16

Input Data Type :

Signed

Input Data Width :

8

Range: 2..34

Input Data Fractional Bits :

0

Range: 0..8

Output Rounding Mode :

Non Symmetric Rounding Up

Output Width :

8

Range: 1..25

Output Fractional Bits :

0

☐ Allow Rounding Approximation

☒ Registered Output

Datasheet

< Back

Page 2 of 4

Next >

Generate

Cancel

Help

Рисунок 3 – Окно настройки параметров фильтра стр.2

261

Так же в этом окне выбираются настройки типа памяти для хранения входных данных, коэффициентов фильтра и промежуточных выходных данных.

The screenshot shows the 'FIR Compiler' window with the following settings:

- Optimization Goal:** Speed
- Control Options:**
 - ☒ SCLR (with ☐ Use deterministic SCLR behaviour)
 - ☒ ND (with ☐ DATA_VALID)
 - ☐ CE
- CHAN_IN Options:**
 - ☐ Generate CHAN_IN value in advance
 - Number of samples: 0 (Range: 0..0)
- Memory Options:**
 - Data Buffer Type: Distributed
 - Coefficient Buffer Type: Automatic
 - Input Buffer Type: Distributed
 - Output Buffer Type: Distributed
 - Preference for other storage: Distributed
- DSP Slice Column Options:**
 - Multi-Column Support: Disabled
 - Device Column Lengths: 16
 - Column Configuration: 16
 - Inter-Column Pipe Length: 4 (Range: 1..16)

At the bottom, there is a 'Datasheet' button and navigation controls: '< Back', 'Page 3 of 4', 'Next >', 'Generate', 'Cancel', and 'Help'.

Рисунок 4 – Окно настройки параметров фильтра стр.3

После настройки всех параметров фильтра нам предлагается проверить их на следующей странице. После чего настройка фильтра закончена и он готов к работе.

Список литературы

1. Агаков В.Г., Носов А.А., Мягчилов М.Ю., Абрамов С.В. Моделирование цифровых фильтров на программируемых логических интегральных схемах // Вестник Чувашского университета. – 2012. – № 3. – с. 185-192.
2. Галанина Н.А., Охоткин Г.П., Иванова Н.Н., Алексеев А.Г. Системы обработки сигналов на базе ПЛИС и цифровых сигнальных процессоров // Вестник Чувашского университета. – 2017. – № 3. – С. 180–194.
3. Зотов В. Моделирование цифровых устройств, проектируемых на основе ПЛИС фирмы Xilinx, средствами ISIM в САПР ISE Design Suite. // КОМПОНЕНТЫ И ТЕХНОЛОГИИ. – 2013. – №2. – с. 64-74.

Материал принят к публикации 30.09.21.